

修 士 論 文 の 和 文 要 旨

大学院 電気通信学 研究科		博士前期課程	情報工学 専攻
氏 名	田上 恒大		学籍番号 0531014
論 文 題 目	対数表現による演算器の構成と評価		
<p>要 旨</p> <p>対数表現(Logarithmic Number System, LNS)では乗除算が加減算で行えるため、演算の高速化が期待される。対数表現の利用の仕方としては、処理全体を対数表現で行う手法と、乗除算のみを対数表現で行う手法が考えられる。扱う物理量がデシベル(dB)で表現されるアプリケーションでは、専用ハードウェアを用いて処理全体を対数表現で行う手法が有用である。</p> <p>専用ハードウェアの実現において、少品種大量生産に適するASICの他に、アプリケーションの多様性に対応できるFPGA(Field Programmable Gate Array)への実装も考慮すると、面積も重要な要素である。近年のLSI技術の進歩により、大面積のチップは容易に作成できるようになってきているが、FPGAにおいては実装できる回路面積が限られていることが多い。また、専有面積が小さいことは、FPGA上でのIP(Intellectual Property)モジュールとして有利である。</p> <p>処理全体を対数表現で行う対数演算器では、加減算を行うために加減算用の関数テーブルが必要となり、このテーブルの削減が重要な課題である。対数表現x, yの差をvとすると、減算用関数$f_s(v)$は$v \rightarrow 0$で無限大に発散するため、効果的な削減ができない場合が多い。本論文では加減算で使われる式をいくつかの関数に分解することによりテーブルサイズを削減する手法を提案する。提案手法1はvの小さな領域でのテーブル削減、提案手法2はvの大きな領域でのテーブル削減を行う。</p> <p>小数部23ビットの対数表現演算器の加減算回路に提案手法を適用した場合、テーブルを記憶するために必要な記憶量については従来法の1/3以下、回路全体の面積については従来法の53%、遅延は同程度、電力消費については従来法より40%大きいことがわかった。本手法はある程度の電力消費の許されるアプリケーション、例えばミュージックシンセサイザー、無線基地局での利得制御、航空機制御をFPGAで実装する場合、有用といえる。</p>			